

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-084076

(43) Date of publication of application : 31.03.1998

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 21/60

(21)Application number : 08-255576

(71)Applicant : HITACHI LTD

HITACHI HOKKAI SEMICONDUCTOR LTD

(22)Date of filing : 05.09.1996

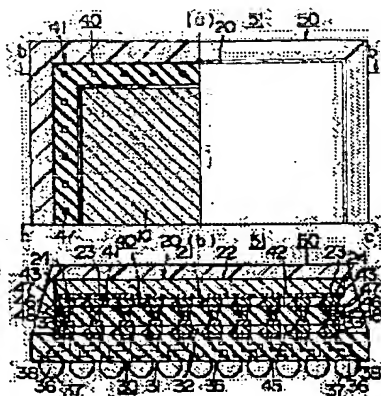
(72)Inventor : HASEBE HAJIME

(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a package of MCM IC (Multi-Chip Module).

SOLUTION: A MCM IC 51 is provided with a small chip 10, a large chip 20, a wiring board 30 with electrical wiring 38 electrically connected between each of internal terminals 33 and each of external terminals 36, and an auxiliary frame 40 with electrical wiring 47 electrically connected between each of terminals 43 of the chips and each of terminals 46 of the board. The small chip 10 is arranged on the center of the wiring board 30 and each of electrode pads 13 is connected to each of the internal terminals 33 by each of connecting terminals 14. The auxiliary frame 40 engages the perimeter of the small chip 10 and each of the terminals 46 of the board is connected to each of the internal terminals 33 by each of connecting terminals 48. The large chip 20 is overlaid on the small chip 10 and the auxiliary frame 40 and each of electrode pads 23 is connected to each of the internal terminals 33 by each of connecting terminals 24. This enables a multifunction, multion, MCM IC of CSP (Chip Size Package) to be enabled by diverting various ch



LEGAL STATUS

Date of request for examination:

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

NOTICES

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The wiring substrate to which the internal terminal block was formed in the 1st principal plane, the external terminal block was formed in the 2nd principal plane, and each internal terminal and each external terminal were connected electrically, While it has two or more semiconductor chips with which the magnitude of a principal plane differs, and being arranged so that said each semiconductor chip may be piled up on the 1st principal plane of said wiring substrate from the bottom in small order The semiconductor device characterized by connecting with said internal terminal block which counters, respectively mechanically and electrically.

[Claim 2] While the small semiconductor chip is connected to the internal terminal block which is arranged in the center section of the 1st principal plane of said wiring substrate, and counters mechanically and electrically, and a large semiconductor chip piles up in the said alignment and is arranged on the small semiconductor chip The semiconductor device according to claim 1 characterized by connecting with the connection terminal block of the auxiliary frame which has been arranged at the periphery of the 1st principal plane of said wiring substrate, and was connected to the internal terminal block of a periphery mechanically and electrically mechanically and electrically.

[Claim 3] The semiconductor device according to claim 1 characterized by connecting the small semiconductor chip to the internal terminal block which is arranged in the center section of the 1st principal plane of said wiring substrate, and counters mechanically and electrically, and connecting with the internal terminal block of the periphery of the 1st principal plane of said wiring substrate mechanically and electrically while a large semiconductor chip piles up in the said alignment and is arranged on the small semiconductor chip.

[Claim 4] The manufacture approach of a semiconductor device according to claim 1. is equipped with the following process (a). The wiring substrate preparation process that the wiring substrate to which the internal terminal block was formed in the 1st principal plane, the external terminal block was formed in the 2nd principal plane, and each internal terminal and each external terminal were connected electrically is prepared, (b) Semiconductor chip preparation process that two or more semiconductor chips with which the magnitude of a principal plane differs are prepared (c) While being arranged so that said each semiconductor chip may be piled up on the 1st principal plane of said wiring substrate from the bottom in small order The connection process connected to said internal terminal block which counters, respectively mechanically and electrically.

[Claim 5] It connects with the internal terminal block which a small semiconductor chip is arranged in the center section of the 1st principal plane of said wiring substrate, and counters in said connection process mechanically and electrically. While a large semiconductor chip piles up in the said alignment and is arranged on a small semiconductor chip The manufacture approach of the semiconductor device according to claim 4 characterized by connecting with the connection terminal block of the auxiliary frame which has been arranged at the periphery of the 1st principal plane of said wiring substrate, and was connected to the internal terminal block of a periphery mechanically and electrically mechanically and electrically.

[Claim 6] The manufacture approach of the semiconductor device according to claim 4 characterized by connecting with the internal terminal block which a small semiconductor chip is arranged in the center section of the 1st principal plane of said wiring substrate, and counters in said connection process mechanically and electrically, and connecting with the internal terminal block of the periphery of the 1st principal plane of said wiring substrate mechanically and electrically while a large semiconductor chip piles up in the said alignment and is arranged on a small semiconductor chip.

[Translation done.]

*** NOTICES ***

JPC and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is used for a semiconductor device and the semiconductor integrated circuit equipment (henceforth IC) equipped with the MCM (multi chip module) package, concerning the contraction technique of a package especially, and relates to an effective technique.

[Description of the Prior Art]

[0002] Generally, two or more semiconductor chips (henceforth a chip) are arranged two-dimensional on one wiring substrate, and the closure of the MCM package is carried out with a resin seal object or a hermetic seal object, and it is constituted.

[0003] In addition, as an example which has described the MCM package, they are "VLSI packaging technical (below)" P213-P253 of Nikkei Business Publications, Inc. May 31, 1993 issue, and *****.

[0004]

[Problem(s) to be Solved by the Invention] By the way, contraction of the package of IC is demanded with the formation of a small thin form of the electronic equipment which uses IC. Then, the chip-size package of the size of the size of the semiconductor chip (henceforth a chip) with which the integrated circuit containing a semiconductor device was made, an EQC, or an abbreviation EQC (Chip Size Package or Chip Scale Package.) Hereafter, it is called CSP. It is developed. The demand of contraction of the package of IC is not an exception in IC equipped with the MCM package.

[0005] However, in the conventional MCM package, since two or more chips are arranged two-dimensional on one wiring substrate, a plan view area will become larger than total of the plan view area of two or more chips.

[0006] The purpose of this invention is to offer the manufacturing technology of the semiconductor device which can reduce the package of the semiconductor device equipped with two or more semiconductor chips.

[0007] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [said] this invention.

[0008]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is explained among invention indicated in this application.

[0009] That is, the semiconductor device is characterized by connecting with the internal terminal block which counters, respectively mechanically and electrically while it is arranged so that two or more semiconductor chips with which the magnitude of a principal plane differs may be piled up on the 1st principal plane of a wiring substrate from the bottom in small order.

[0010] The wiring substrate preparation process that the wiring substrate to which, as for the manufacture approach of the above mentioned semiconductor device, the internal terminal block was formed in the 1st principal plane, the external terminal block was formed in the 2nd principal plane, and each internal terminal and each external terminal were connected electrically is prepared, While being arranged so that it may be piled up on the 1st principal plane of said wiring substrate from the bottom in the semiconductor chip preparation process that two or more semiconductor chips with which the magnitude of a principal plane differs are prepared, and order with said each small semiconductor chip It has the connection process connected to said internal terminal block which counters, respectively mechanically and electrically.

[0011] since the semiconductor chip of plurality [semiconductor device / said / which was carried out] is accumulated on the wiring substrate — the area of the plane view — the magnitude of the semiconductor chip of the maximum plan view area, and abbreviation — it becomes equal.

[0012] Since two or more semiconductor chips can be carried according to the manufacture approach of the above mentioned semiconductor device, without changing a function and a internal structure, new development and the large design change of IC can be omitted, and the development cycle and expenses of a new product

equivalent to a one chip package can be reduced sharply.

[0013]

[Embodiment of the Invention] Drawing 1 shows the semiconductor device which is 1 operation gestalt of this invention, and the transverse-plane sectional view where (a) meets an abbreviation part cutting top view, and (b) meets the b-b line of (a) in part, and (c) are transverse-plane sectional views which meet the c-c line of (a). It is the explanatory view of each process showing the manufacture approach of the semiconductor device which is 1 operation gestalt of this invention after drawing 2.

[0014] In this operation gestalt, the semiconductor device concerning this invention is constituted as an IC (henceforth MCM-IC) equipped with the MCM package. it is shown in drawing 1 — as — MCM-IC51 — the magnitude of a flat-surface configuration — ***** — with a chip 10 and a chip 20 The wiring substrate 30 to which internal terminal 33 group was formed in the 1st principal plane 32 of the substrate body 31, external terminal 36 group was formed in the 2nd principal plane 35, and each internal terminal 33 and each external terminal 36 were electrically connected by each electric wiring 38, It has the auxiliary frame 40 to which tip side terminal 43 group was formed in the 1st principal plane 42 of the frame body 41, substrate side edge child 46 group was formed in the 2nd principal plane 45, and each tip side terminal 43 and each substrate side edge child 46 were electrically connected by each electric wiring 47.

[0015] The small chip 10 is connected mechanically and electrically to each internal terminal 33 with which each electrode pad 13 counters by each connection terminal 14 while it is arranged in the center section of the 1st principal plane 32 of the wiring substrate 30. It is connected mechanically and electrically to each internal terminal 33 with which each substrate side edge child 46 was arranged by the periphery in the 1st principal plane 32 of the wiring substrate 30 by each connection terminal 48 while fitting of the auxiliary frame 40 is carried out to the periphery of the small chip 10. The large chip 20 is connected mechanically and electrically to each internal terminal 33 with which each electrode pad 23 counters by each connection terminal 24 while it is repeated and arranged on the small chip 10 and the auxiliary frame 40. The resin seal of the small chip 10, the large chip 20, and the auxiliary frame 40 is carried out with the resin seal object 50 fabricated on the 1st principal plane 32 of the wiring substrate 30.

[0016] Hereafter, the manufacture approach of MCM-IC which is 1 operation gestalt of this invention is explained. The detail of the configuration of said MCM-IC is clarified by this explanation.

[0017] In the manufacture approach of MCM-IC concerning this operation gestalt, the chip (henceforth a small chip) 10 with a small flat-surface configuration and the chip (henceforth a large chip) 20 with a larger flat-surface configuration than the small chip 10 are prepared as shown in drawing 2. The small chip 10 and the large chip 20 have an electrode pad for taking out a semiconductor integrated circuit electrically outside formed in the 1st principal plane which is an active area side by each while having a desired semiconductor integrated circuit made from the condition of a semi-conductor wafer (not shown) in the so-called last process of IC, respectively. In the dicing process which is a process of the so-called beginning of the back process of IC, when a semi-conductor wafer is divided by the monotonous configuration where a square is small, it will be manufactured by the small chip 10 and the large chip 20, respectively.

[0018] Many electrode pads 13 are arranged in the shape of a matrix over the whole abbreviation surface by the 1st principal plane 11 which is the active area side of the small chip 10 as shown in drawing 2 (a) and (b). Each electrode pad 13 is constituted so that it can connect mechanically and electrically with the bump of the wiring substrate which carries out a postscript. In addition, 12 is the 2nd principal plane of an active area side and the opposite side.

[0019] Many electrode pads 23 are arranged in the shape of an array in the periphery by the 1st principal plane 21 which is the active area side of the large chip 20 as shown in drawing 2 (c) and (d). Each electrode pad 23 is constituted so that it can connect mechanically and electrically with the bump of the wiring substrate which carries out a postscript. Only the part to which, as for the magnitude of the plane view of the large chip 20, the train of the electrode pad 23 projects at least to the small chip 10 is set up so that it may become large. In addition, 22 is the 2nd principal plane of an active area side and the opposite side.

[0020] On the other hand, in a wiring substrate preparation process, the wiring substrate 30 shown in drawing 3 is manufactured. The wiring substrate 30 shown in drawing 3 is equipped with the substrate body (henceforth a body) 31 formed of insulating substrates, such as a ceramic and a glass sinking-in epoxy resin, and the body 31 is formed in the square plate configuration of having a larger outer diameter a little than the outer diameter of the auxiliary frame 40 which carries out a postscript.

[0021] Many internal terminals 33 are arranged by the 1st principal plane 32 of a body 31 in the shape of a matrix

over the whole abbreviation surface, and the bump 34 for internal terminals (henceforth an inner bump) protrudes on each internal terminal 33. The number of the internal terminals 33 is set up so that it may become the sum of the number of the electrode pads 13 of the small chip 10, and the number of the electrode pads 23 of the large chip 20, and arrangement of each internal terminal 33 is set up so that it may correspond to arrangement of each electrode pad 13 of the small chip 10, and arrangement of each electrode pad 23 of the large chip 20. The gold (Au) which is a conductive ingredient is used and the inner bump 34 is formed in suitable projection configurations, such as a semi-sphere configuration, by means, such as the galvanizing method, and vacuum deposition, the wirebonding method. The inner bump's 34 outer diameter is set up so that it may become large a little rather than the outer diameter of each electrode pads 13 and 23.

[0022] Many external terminals 36 are arranged by the 2nd principal plane 35 of a body 31 in the shape of an array in the outside periphery, and the bump 37 for external terminals (henceforth an outside bump) protrudes on the external terminal 36. The number of the external terminals 36 is set up so that it may become equal to the number of the internal terminals 33, and arrangement of each external terminal 36 is set up so that it may be in agreement with the specification of a mounting board (not shown). The solder ingredient generally used on the occasion of mounting of IC is used, and the outside bump 37 is formed in suitable projection configurations, such as a semi-sphere configuration, by means, such as joining of a solder ball.

[0023] Inside the body 31, it is laid so that much electric wiring 38 which connects the internal terminal 33 and the external terminal 36 electrically may become independent electrically to a book and each other.

[0024] In this operation gestalt, the auxiliary frame 40 shown in drawing 4 is manufactured. The auxiliary frame 40 shown in drawing 4 is equipped with the frame body 41 formed in the frame configuration by insulating materials, such as a ceramic and a glass sinking-in epoxy resin, and the frame body 41 is formed in the square frame configuration of having a larger bore a little than the outer diameter of the small chip 10, and an outer diameter [a little] smaller than the outer diameter of the wiring substrate 30. The thickness of the frame body 41 is set up so that the thickness of the small chip 10, abbreviation, etc. may be spread and may become.

[0025] Many tip side terminals 43 are arranged by the 1st principal plane 42 of the frame body 41 in the shape of an array, and the frame bump 44 protrudes on each tip side terminal 43. The number of the tip side terminals 43 is set up so that it may become equal to the number of the electrode pads 23 of the large chip 20, and arrangement of each tip side terminal 43 is set up so that it may correspond to arrangement of each electrode pad 23 of the large chip 20. The gold (Au) which is a conductive ingredient is used and the frame bump 44 is formed in suitable projection configurations, such as a semi-sphere configuration, by means, such as the galvanizing method, and vacuum deposition, the wirebonding method. The frame bump's 44 outer diameter is set up so that it may become large a little rather than the outer diameter of the electrode pad 23 of the large chip 20.

[0026] The tip side terminal 43 and the substrate side edge child 46 of a same number individual are arranged by the 2nd principal plane 45 of the frame body 41 in the shape of an array, and arrangement of each substrate side edge child 46 is set up so that it may correspond to each external terminal 36 in an outside periphery among the external terminals 36 of the wiring substrate 30. Inside the frame body 41, it is laid so that much electric wiring 47 which connects electrically the tip side terminal 43 and the substrate side edge child 46 may become independent electrically to a book and each other.

[0027] In a small chip connection process, the small chip 10 is connected to the wiring substrate 30 concerning said configuration prepared at the wiring substrate preparation process mechanically and electrically as shown in drawing 5 by the flip chip method. That is, the small chip 10 turns the 1st principal plane 11 side to the 1st principal plane 32 side of the wiring substrate 30, and it is arranged in the said alignment, and each ** bump 34 of a center section is adjusted among inner bump 34 groups of each electrode pad 13 of the small chip 10, and the wiring substrate 30 as shown in drawing 5 (a). If it contacts the small chip 10 and the wiring substrate 30 by pressing under heating, thermocompression bonding of each electrode pad 13 and each ** bump 34 is carried out, and since the connection terminal 14 shown in drawing 5 (b) is formed, respectively, it will connect mechanically [the small chip 10 and the wiring substrate 30] and electrically.

[0028] In an auxiliary frame connection process, the auxiliary frame 40 concerning said configuration is connected to the assembly to which the small chip 10 and the wiring substrate 30 were connected as mentioned above mechanically and electrically as shown in drawing 6 by the flip chip method. That is, when the auxiliary frame 40 is turned to the 1st principal plane 32 side of the wiring substrate 30 in the 2nd principal plane 45 side and fitting is carried out to the periphery of the small chip 10 as shown in drawing 6 (a), each ** bump 34 who exposed by the periphery of the outside of the smallness chip 10 among inner bump 34 groups of the wiring substrate 30 with each substrate side edge child 46 of the auxiliary frame 40 is adjusted. If it contacts the auxiliary frame 40 and

the wiring substrate 30 by pressing under heating, thermocompression bonding of each substrate side edge child 46 and each ** bump 34 is carried out, and since the connection terminal 48 shown in drawing 6 (b) is formed, respectively, it will connect mechanically [the auxiliary frame 40 and the wiring substrate 30] and electrically. [0029] In a large chip connection process, the large chip 20 is connected to the assembly to which the small chip wiring substrate assembly and the auxiliary frame 40 were connected as mentioned above mechanically and electrically as shown in drawing 7 by the flip chip method. That is, the large chip 20 turns the 1st principal plane 21 side to the 2nd principal plane 12 side of the small chip 10, and it is arranged in the said alignment, and each electrode pad 23 of the large chip 20 and the frame bump 44 of the auxiliary frame 40 are adjusted as shown in drawing 7 (a). If it contacts the large chip 20 and the auxiliary frame 40 by pressing under heating, since the connection terminal 24 with which thermocompression bonding of each electrode pad 23 and each frame bump 44 is carried out, and they are shown in drawing 7 (b) will be formed, respectively, it will connect mechanically [the large chip 20 and the auxiliary frame 40] and electrically. Since the auxiliary frame 40 is electrically connected to the wiring substrate 30 by the connection terminal 48, the large chip 20 will connect with the wiring substrate 30 electrically through the auxiliary frame 40.

[0030] It is fabricated so that the resin seal object 50 shown in the wiring substrate 30 to which the small chip 10 and the large chip 20 were connected as mentioned above in the resin seal object forming cycle (not shown) at drawing 1 may carry out the resin seal of the small chip 10, the large chip 20, and the auxiliary frame 40. In the semiconductor integrated circuit of the small chip 10, in this condition, it will be electrically pulled out by the bump 37 outside the wiring substrate 30 through the electrode pad 13, the connection terminal 14, the internal terminal 33 of the wiring substrate 30, electric wiring 38, and an external terminal. Moreover, in the semiconductor integrated circuit of the large chip 20, it will be electrically pulled out by the bump 37 outside the wiring substrate 30 through the electrode pad 23, the connection terminal 24, the tip side terminal 43 of the auxiliary frame 40, electric wiring 47, the substrate side edge child 46, the connection terminal 48, the internal terminal 33 of the wiring substrate 30, electric wiring 38, and the external terminal 36.

[0031] According to said operation gestalt, the following effectiveness is acquired.

** While arranging a large and small chip so that it may be piled up on the 1st principal plane of a wiring substrate from the bottom in small order, since [on which a large chip size, abbreviation, etc. spread the magnitude of a package by connecting the electrode pad of each chip to the internal terminal block which counters, respectively mechanically and electrically] it is reducible, moreover, MCM-IC of CSP is realizable by various functions and many pins.

[0032] ** Since various kinds of chips of finishing [development] as a chip of the size which constitutes MCM-IC already can be used without changing a function and an internal structure, new development and the large design change of MCM-IC can be omitted, and the development cycle and expenses of a new product equivalent to a one chip package can be reduced sharply.

[0033] Drawing 8 shows the semiconductor device which is the operation gestalt 2 of this invention, and the transverse-plane sectional view where (a) meets an abbreviation part cutting top view, and (b) meets the b-b line of (a) in part, and (c) are transverse-plane sectional views which meet the c-c line of (a).

[0034] The auxiliary frame is omitted and the point that this operation gestalt 2 differs from said operation gestalt 1 is in the point that the large chip 20 is directly connected mechanically and electrically to the wiring substrate 30 by connection terminal 25 group with the high back formed in the outside periphery in the 1st principal plane 32 of the wiring substrate 30 of the bump (not shown) outside the array.

[0035] According to this operation gestalt 2, since the auxiliary frame is omitted in addition to the effectiveness of said operation gestalt 1, the effectiveness that a manufacturing cost can be reduced further can be acquired.

[0036] Although invention made by this invention person above was concretely explained based on the operation gestalt, it cannot be overemphasized that it can change variously in the range which this invention is not limited to said operation gestalt, and does not deviate from the summary.

[0037] The number of the chips to repeat may be more than three pieces or it of not only two size but the Onaka smallness.

[0038] The bump for forming a connection terminal may not restrict for arranging in a wiring substrate, but may arrange in each chip, respectively.

[0039] The closure object which closes a chip and a connection terminal block may not be restricted for constituting on a resin seal object, but may be constituted on a hermetic seal object.

[0040] The outer lead which protrudes on the external terminal of a wiring substrate may not be restricted for constituting in the ball grid ARE r (ball grid array) structure by the solder bump, but may be constituted in pin grid

*array (pin grid array) structure etc.

[0041] what is limited to it although the above explanation explained the case where invention mainly made by this invention person was applied to MCM-IC which is a field of the invention used as the background — it is not — yes, it is applicable to the semiconductor device at large in which two or more chips are carried like Brit IC. Especially this invention can acquire the effectiveness which applied and was moreover excellent in the semiconductor device with a small package by various functions and many pins.

[0042]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0043] While arranging a large and small chip so that it may be piled up on the 1st principal plane of a wiring substrate from the bottom in small order, since [on which a large chip size, abbreviation, etc. spread the magnitude of a package by connecting the electrode pad of each chip to the internal terminal block which counters, respectively mechanically and electrically] it is reducible, moreover, the small semiconductor device of a package can consist of various functions and many pins.

[0044] Since various kinds of chips of finishing [development] as a chip of the size which constitutes a semiconductor device already can be used without changing a function and a internal structure, new development of a semiconductor device and a large design change can be omitted, and the development cycle and expenses of a new product equivalent to a one chip package can be reduced sharply.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The semiconductor device which is 1 operation gestalt of this invention is shown, and the transverse-plane sectional view where (a) meets an abbreviation part cutting top view, and (b) meets the b-b line of (a) in part, and (c) are transverse-plane sectional views which meet the c-c line of (a).

[Drawing 2] (a) — and the part (b) indicates a small chip to be — a cutting front view — and it is an abbreviation bottom view a part. (c) — and the part (d) indicates a large chip to be — a cutting front view — and it is an abbreviation bottom view a part.

[Drawing 3] The wiring substrate used for the manufacture approach of the semiconductor device which is 1 operation gestalt of this invention is shown, as for a cutting front view and (b), an upper half is a top view and the lower half of a part of (a) is a bottom view.

[Drawing 4] Similarly the auxiliary frame is shown, as for a cutting front view and (b), an upper half is a top view and the lower half of a part of (a) is a bottom view.

[Drawing 5] the small chip connection process in the manufacture approach of the semiconductor device which is 1 operation gestalt of this invention — being shown — **** — (a) — a part of time of connection — a cutting front view and (b) — the part after connection — it is a cutting front view.

[Drawing 6] the same — an auxiliary frame connection process — being shown — **** — (a) — a part of time of connection — a cutting front view and (b) — the part after connection — it is a cutting front view.

[Drawing 7] the same — a large chip connection process — being shown — **** — (a) — a part of time of connection — a cutting front view and (b) — the part after connection — it is a cutting front view.

[Drawing 8] The semiconductor device which is the operation gestalt 2 of this invention is shown, and the transverse-plane sectional view where (a) meets an abbreviation part cutting top view, and (b) meets the b-b line of (a) in part, and (c) are transverse-plane sectional views which meet the c-c line of (a).

[Description of Notations]

10 — A smallness chip (semiconductor chip), 11 — The 1st principal plane, 12 — The 2nd principal plane, 13 — An electrode pad, 14 — A connection terminal, 20 — Large chip (semiconductor chip), 21 [— Connection terminal,] — The 1st principal plane, 22 — The 2nd principal plane, 23 — An electrode pad, 24 25 [— The 1st principal plane,] — A tall connection terminal, 30 — A wiring substrate, 31 — A substrate body, 32 33 — An internal terminal, 34 — The bump for internal terminals (inner bump), 35 — The 2nd principal plane, 36 — An external terminal, 37 — The bump for external terminals (outside bump), 38 — Electric wiring, 40 [— A tip side terminal, 44 / — A frame bump, 45 / — The 2nd principal plane, 46 / — A substrate side edge child, 47 / — Electric wiring, 48 / — A connection terminal, 50 / — A resin seal object, 51 / — MCM-IC (semiconductor device).] — An auxiliary frame, 41 — A frame body, 42 — The 1st principal plane, 43

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-84076

(43) 公開日 平成10年(1998) 3月31日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	25/065		H 0 1 L 25/08	Z
	25/07		21/60	3 1 1 S
	25/18			
	21/60	3 1 1		

審査請求 未請求 請求項の数 6 F D (全 8 頁)

(21) 出願番号 特願平8-255576

(22) 出願日 平成8年(1996) 9月5日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者 長谷部 一

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(74) 代理人 弁理士 梶原 辰也

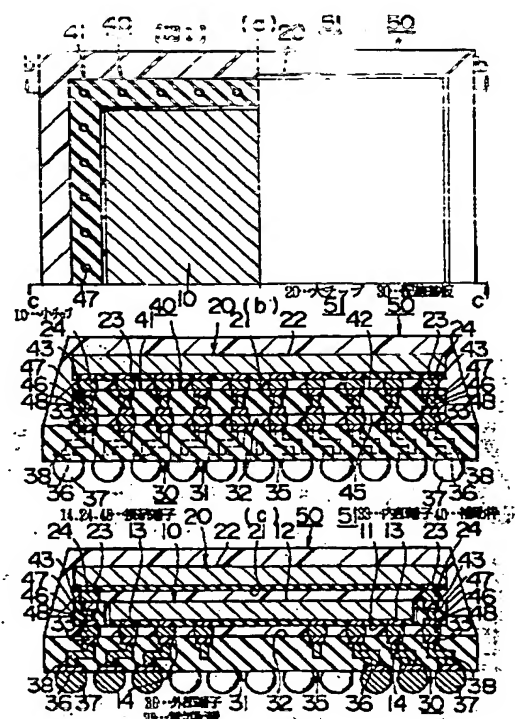
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 MCM・ICのパッケージを縮小する。

【解決手段】 MCM・IC 51は小チップ10、大チップ20と、各内部端子33と各外部端子36とが各電気配線38で電気接続された配線基板30と、各チップ側端子43と各基板側端子46とが各電気配線47で電気接続された補助枠40とを備えている。小チップ10は配線基板30の中央部に配置されて各電極パッド13が各内部端子33に各接続端子14で接続され、補助枠40は小チップ10の外周に嵌合されて各基板側端子46が各内部端子33に各接続端子48で接続され、大チップ20は小チップ10、補助枠40の上に重ねられて各電極パッド23が各内部端子33に各接続端子24で接続されている。

【効果】 多機能、多ピンでCSPのMCM・ICが開発の各種チップを転用で得られる。



(2)

1

【特許請求の範囲】

【請求項1】 第1主面に内部端子群が形成され第2主面に外部端子群が形成され各内部端子と各外部端子とが電気的に接続された配線基板と、主面の大きさが異なる複数個の半導体チップとを備えており、前記各半導体チップが小さい順に下から前記配線基板の第1主面の上に積み重なるように配置されているとともに、それぞれ対向する前記内部端子群に機械的かつ電気的に接続されていることを特徴とする半導体装置。

【請求項2】 小さい半導体チップが前記配線基板の第1主面の中央部に配置されて対向する内部端子群に機械的かつ電気的に接続されており、大きい半導体チップが小さい半導体チップの上に同心的に重ねられて配置されているとともに、前記配線基板の第1主面の周辺部に配置されて周辺部の内部端子群に機械的かつ電気的に接続された補助枠の接続端子群に機械的かつ電気的に接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 小さい半導体チップが前記配線基板の第1主面の中央部に配置されて対向する内部端子群に機械的かつ電気的に接続されており、大きい半導体チップが小さい半導体チップの上に同心的に重ねられて配置されているとともに、前記配線基板の第1主面の周辺部の内部端子群に機械的かつ電気的に接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 請求項1に記載の半導体装置の製造方法は次の工程を備えている、(a) 第1主面に内部端子群が形成され第2主面に外部端子群が形成され各内部端子と各外部端子とが電気的に接続された配線基板が準備される配線基板準備工程、(b) 主面の大きさが異なる複数個の半導体チップが準備される半導体チップ準備工程、(c) 前記各半導体チップが小さい順に下から前記配線基板の第1主面の上に積み重なるように配置されているとともに、それぞれ対向する前記内部端子群に機械的かつ電気的に接続される接続工程。

【請求項5】 前記接続工程において、小さい半導体チップが前記配線基板の第1主面の中央部に配置されて対向する内部端子群に機械的かつ電気的に接続され、大きい半導体チップが小さい半導体チップの上に同心的に重ねられて配置されるとともに、前記配線基板の第1主面の周辺部に配置されて周辺部の内部端子群に機械的かつ電気的に接続された補助枠の接続端子群に機械的かつ電気的に接続されることを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記接続工程において、小さい半導体チップが前記配線基板の第1主面の中央部に配置されて対向する内部端子群に機械的かつ電気的に接続され、大きい半導体チップが小さい半導体チップの上に同心的に重ねられて配置されるとともに、前記配線基板の第1主面の周辺部の内部端子群に機械的かつ電気的に接続される

2

ことを特徴とする請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、特に、パッケージの縮小技術に関し、例えば、MCM (multi chip module) パッケージを備えている半導体集積回路装置 (以下、ICという。) に利用して有効な技術に関する。

【従来の技術】

【0002】一般に、MCMパッケージは一枚の配線基板の上に複数個の半導体チップ (以下、チップという。) が二次元的に配置され、樹脂封止体や気密封止体によって封止されて構成されている。

【0003】なお、MCMパッケージを述べてある例としては、株式会社日経BP社1993年5月31日発行の「VLSIパッケージング技術 (下)」P213～P253、がある。

【0004】

【発明が解決しようとする課題】ところで、ICを使用する電子機器の小型薄形化に伴って、ICのパッケージの縮小が要求されている。そこで、半導体素子を含む集積回路が作り込まれた半導体チップ (以下、チップという。) のサイズと同等または略同等のサイズのチップ・サイズ・パッケージ (Chip Size Package または Chip Scale Package。以下、CSPという。) が開発されている。ICのパッケージの縮小の要求は、MCMパッケージを備えているICにおいても例外ではない。

【0005】しかしながら、従来のMCMパッケージにおいては、一枚の配線基板の上に複数個のチップが二次元的に配置されているため、平面視面積は複数個のチップの平面視面積の総和よりも大きくなってしまふ。

【0006】本発明の目的は、複数個の半導体チップを備えた半導体装置のパッケージを縮小することができる半導体装置の製造技術を提供することにある。

【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、次の通りである。

【0009】すなわち、半導体装置は、主面の大きさが異なる複数個の半導体チップが小さい順に下から配線基板の第1主面の上に積み重なるように配置されているとともに、それぞれ対向する内部端子群に機械的かつ電気的に接続されていることを特徴とする。

【0010】前記した半導体装置の製造方法は、第1主面に内部端子群が形成され第2主面に外部端子群が形成

50

(3)

3

され各内部端子と各外部端子とが電気的に接続された配線基板が準備される配線基板準備工程と、主面の大きさが異なる複数個の半導体チップが準備される半導体チップ準備工程と、前記各半導体チップが小さい順に下から前記配線基板の第1主面の上に積み重なるように配置されているとともに、それぞれ対向する前記内部端子群に機械的かつ電気的に接続される接続工程とを備えている。

【0011】前記した半導体装置は複数個の半導体チップが配線基板の上に積み重ねられているため、その平面視の面積は最大平面視面積の半導体チップの大きさと略等しくなる。

【0012】前記した半導体装置の製造方法によれば、機能や内部構造を変更せずに複数個の半導体チップを搭載することができるため、ICの新規開発や大幅な設計変更を省略することができ、ワン・チップ・パッケージと同等の新製品の開発期間や諸費用を大幅に低減することができる。

【0013】

【発明の実施の形態】図1は本発明の一実施形態である半導体装置を示しており、(a)は一部省略一部切断平面図、(b)は(a)のb-b線に沿う正面断面図、

(c)は(a)のc-c線に沿う正面断面図である。図2以降は本発明の一実施形態である半導体装置の製造方法を示す各工程の説明図である。

【0014】本実施形態において、本発明に係る半導体装置は、MCMパッケージを備えているIC(以下、MCM・ICという。)として構成されている。図1に示されているように、MCM・IC51は平面形状の大きさが大小異なるチップ10およびチップ20と、基板本体31の第1主面32に内部端子33群が形成され第2主面35に外部端子36群が形成され各内部端子33と各外部端子36とが各電気配線38によって電気的に接続された配線基板30と、枠本体41の第1主面42にチップ側端子43群が形成され第2主面45に基板側端子46群が形成され各チップ側端子43と各基板側端子46とが各電気配線47によって電気的に接続された補助枠40とを備えている。

【0015】小さいチップ10は配線基板30の第1主面32の中央部に配置されているとともに、各電極パッド13が対向する各内部端子33に各接続端子14によって機械的かつ電気的に接続されている。補助枠40は小さいチップ10の外周に嵌合されているとともに、各基板側端子46が配線基板30の第1主面32における周辺部に配列された各内部端子33に各接続端子48によって機械的かつ電気的に接続されている。大きいチップ20は小さいチップ10および補助枠40の上に重ねられて配置されているとともに、各電極パッド23が対向する各内部端子33に各接続端子24によって機械的かつ電気的に接続されている。小さいチップ10、大き

4

いチップ20および補助枠40は配線基板30の第1主面32上に成形された樹脂封止体50によって樹脂封止されている。

【0016】以下、本発明の一実施形態であるMCM・ICの製造方法を説明する。この説明によって、前記MCM・ICの構成の詳細が明らかにされる。

【0017】図2に示されているように、本実施形態に係るMCM・ICの製造方法においては、平面形状が小さいチップ(以下、小チップという。)10と、平面形状が小チップ10よりも大きいチップ(以下、大チップという。)20とが用意される。小チップ10および大チップ20はいずれも、ICの所謂前工程において半導体ウエハ(図示せず)の状態ですべての半導体集積回路を作り込まれるとともに、アクティブ・エリア側である第1主面に半導体集積回路を外部に電気的に取り出すための電極パッドを形成される。ICの所謂後工程の最初の工程であるダイシング工程において、半導体ウエハが正方形の小さな平板形状に分断されることにより、小チップ10および大チップ20がそれぞれ製造された状態になる。

【0018】図2(a)および(b)に示されているように、小チップ10のアクティブ・エリア側である第1主面11には多数個の電極パッド13が、略全面にわたってマトリクス状に配列されている。各電極パッド13は後記する配線基板の bumps と機械的かつ電気的に接続し得るように構成されている。なお、12はアクティブ・エリア側と反対側の第2主面である。

【0019】図2(c)および(d)に示されているように、大チップ20のアクティブ・エリア側である第1主面21には多数個の電極パッド23が、周辺部においてアレイ状に配列されている。各電極パッド23は後記する配線基板の bumps と機械的かつ電気的に接続し得るように構成されている。大チップ20の平面視の大きさは小チップ10に対して少なくとも電極パッド23の列が突き出る分だけは大きくするように設定されている。なお、22はアクティブ・エリア側と反対側の第2主面である。

【0020】他方、配線基板準備工程において、図3に示されている配線基板30が製造される。図3に示されている配線基板30はセラミックやガラス含浸エポキシ樹脂等の絶縁基板によって形成された基板本体(以下、本体という。)31を備えており、本体31は後記する補助枠40の外径よりも若干大きめの外径を有する正方形の板形状に形成されている。

【0021】本体31の第1主面32には多数個の内部端子33が略全面にわたってマトリクス状に配列されており、各内部端子33には内部端子用 bumps (以下、内 bumps という。)34が突設されている。内部端子33の数は小チップ10の電極パッド13の数と、大チップ20の電極パッド23の数との和になるように設定され

(4)

5

ており、各内部端子33の配置は小チップ10の各電極パッド13の配置、および大チップ20の各電極パッド23の配置に対応するように設定されている。内バンプ34は導電性材料である金(Au)が使用されて、めっき法や蒸着法およびワイヤボンディング法等の手段によって半球形状等の適当な突起形状に形成される。内バンプ34の外径は各電極パッド13、23の外径よりも若干大きくなるように設定されている。

【0022】本体31の第2主面35には多数個の外部端子36が外周辺部においてアレイ状に配列されており、外部端子36には外部端子用バンプ(以下、外バンプという。)37が突設されている。外部端子36の数は内部端子33の数と等しくなるように設定されており、各外部端子36の配置は実装ボード(図示せず)の規格に一致するように設定されている。外バンプ37はICの実装に際して一般的に使用される半田材料が使用されて、半田ボールの溶着等の手段によって半球形状等の適当な突起形状に形成される。

【0023】本体31の内部には内部端子33と外部端子36とを電気的に接続する電気配線38が多数本、互いに電気的に独立するように敷設されている。

【0024】本実施形態においては、図4に示されている補助枠40が製造される。図4に示されている補助枠40はセラミックやガラス含浸エポキシ樹脂等の絶縁材料によって枠形状に形成された枠本体41を備えており、枠本体41は小チップ10の外径よりも若干大きめの内径と配線基板30の外径よりも若干小さめの外径とを有する正方形の枠形状に形成されている。枠本体41の厚さは小チップ10の厚さと略等しくなるように設定されている。

【0025】枠本体41の第1主面42には多数個のチップ側端子43がアレイ状に配列されており、各チップ側端子43には枠バンプ44が突設されている。チップ側端子43の数は大チップ20の電極パッド23の数と等しくなるように設定されており、各チップ側端子43の配置は大チップ20の各電極パッド23の配置に対応するように設定されている。枠バンプ44は導電性材料である金(Au)が使用されて、めっき法や蒸着法およびワイヤボンディング法等の手段によって半球形状等の適当な突起形状に形成される。枠バンプ44の外径は大チップ20の電極パッド23の外径よりも若干大きくなるように設定されている。

【0026】枠本体41の第2主面45にはチップ側端子43と同数個の基板側端子46がアレイ状に配列されており、各基板側端子46の配置は配線基板30の外部端子36のうち外周辺部における各外部端子36に対応するように設定されている。枠本体41の内部にはチップ側端子43と基板側端子46とを電気的に接続する電気配線47が多数本、互いに電気的に独立するように敷設されている。

6

【0027】配線基板準備工程で準備された前記構成に係る配線基板30には小チップ10が、小チップ接続工程において、フリップチップ法によって図5に示されているように機械的かつ電気的に接続される。すなわち、図5(a)に示されているように、小チップ10が第1主面11側を配線基板30の第1主面32側に向けて、かつ、同心的に配置されて、小チップ10の各電極パッド13と配線基板30の内バンプ34群のうち中央部の各内バンプ34とが整合される。小チップ10と配線基板30とが加熱下で押接されると、各電極パッド13と各内バンプ34とが熱圧着されて、図5(b)に示されている接続端子14がそれぞれ形成されるため、小チップ10と配線基板30とは機械的かつ電気的に接続された状態になる。

【0028】以上のようにして小チップ10と配線基板30とが接続された組立体には前記構成に係る補助枠40が、補助枠接続工程において、フリップチップ法によって図6に示されているように機械的かつ電気的に接続される。すなわち、図6(a)に示されているように、補助枠40が第2主面45側を配線基板30の第1主面32側に向けられて、小チップ10の外周に嵌合されると、補助枠40の各基板側端子46と配線基板30の内バンプ34群のうち小チップ10の外側の周辺部で露出した各内バンプ34とが整合される。補助枠40と配線基板30とが加熱下で押接されると、各基板側端子46と各内バンプ34とが熱圧着されて、図6(b)に示されている接続端子48がそれぞれ形成されるため、補助枠40と配線基板30とは機械的かつ電気的に接続された状態になる。

【0029】以上のようにして小チップ配線基板組立体と補助枠40とが接続された組立体には大チップ20が、大チップ接続工程において、フリップチップ法によって図7に示されているように機械的かつ電気的に接続される。すなわち、図7(a)に示されているように、大チップ20が第1主面21側を小チップ10の第2主面12側に向けて、かつ、同心的に配置されて、大チップ20の各電極パッド23と補助枠40の枠バンプ44とが整合される。大チップ20と補助枠40とが加熱下で押接されると、各電極パッド23と各枠バンプ44とが熱圧着されて図7(b)に示されている接続端子24がそれぞれ形成されるため、大チップ20と補助枠40とは機械的かつ電気的に接続された状態になる。補助枠40は配線基板30に接続端子48によって電気的に接続されているため、大チップ20は補助枠40を介して配線基板30に電気的に接続された状態になる。

【0030】以上のようにして小チップ10および大チップ20が接続された配線基板30には樹脂封止体成形工程(図示せず)において、図1に示されている樹脂封止体50が小チップ10、大チップ20および補助枠40を樹脂封止するように成形される。この状態におい

(5)

7

て、小チップ10の半導体集積回路は、電極パッド13、接続端子14、配線基板30の内部端子33、電気配線38および外部端子を介して配線基板30の外バンプ37に電氣的に引き出された状態になっている。また、大チップ20の半導体集積回路は、電極パッド23、接続端子24、補助枠40のチップ側端子43、電気配線47、基板側端子46、接続端子48、配線基板30の内部端子33、電気配線38および外部端子36を介して配線基板30の外バンプ37に電氣的に引き出された状態になっている。

【0031】前記実施形態によれば、次の効果が得られる。

① 大小のチップを小さい順に下から配線基板の第1主面の上に積み重なるように配置するとともに、各チップの電極パッドをそれぞれ対向する内部端子群に機械的かつ電氣的に接続することにより、パッケージの大きさを大きいチップの大きさと略等しく縮小することができるため、多機能かつ多ピンでしかもCSPのMCM・ICを実現することができる。

【0032】② MCM・ICを構成する大小のチップとして既に開発済の各種のチップを機能や内部構造を変更せずに使用することができるため、MCM・ICの新規開発や大幅な設計変更を省略することができ、ワン・チップ・パッケージと同等の新製品の開発期間や諸費用を大幅に低減することができる。

【0033】図8は本発明の実施形態2である半導体装置を示しており、(a)は一部省略一部切断平面図、

(b)は(a)のb-b線に沿う正面断面図、(c)は(a)のc-c線に沿う正面断面図である。

【0034】本実施形態2が前記実施形態1と異なる点は、補助枠が省略されており、配線基板30の第1主面52における外周辺部に配列の外バンプ(図示せず)によって形成された背の高い接続端子25群により、大チップ20が配線基板30に直接的に機械的かつ電氣的に接続されている点にある。

【0035】本実施形態2によれば、前記実施形態1の効果に加えて、補助枠が省略されているため、製造コストをより一層低減することができるという効果を得ることができる。

【0036】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいふまでもない。

【0037】積み重ねるチップの数は大小2個に限らず、大中小の3個またはそれ以上であってもよい。

【0038】接続端子を形成するためのバンプは配線基板に配設するに限らず、各チップにそれぞれ配設してもよい。

【0039】チップや接続端子群を封止する封止体は、樹脂封止体に構成するに限らず、気密封止体に構成して

8

もよい。

【0040】配線基板の外部端子に突設するアウトリードは、半田バンプによるボール・グリッド・アレイ(ball grid array)構造に構成するに限らず、ピン・グリッド・アレイ(pin grid array)構造等に構成してもよい。

【0041】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるMCM・ICに適用した場合について説明したが、それに限定されるものではなく、ハイブリットICのように複数個のチップが搭載される半導体装置全般に適用することができる。特に、本発明は、多機能かつ多ピンでしかもパッケージが小さい半導体装置に適用して優れた効果を得ることができる。

【0042】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、次の通りである。

【0043】大小のチップを小さい順に下から配線基板の第1主面の上に積み重なるように配置するとともに、各チップの電極パッドをそれぞれ対向する内部端子群に機械的かつ電氣的に接続することにより、パッケージの大きさを大きいチップの大きさと略等しく縮小することができるため、多機能かつ多ピンでしかもパッケージの小さい半導体装置を構成することができる。

【0044】半導体装置を構成する大小のチップとして既に開発済の各種のチップを機能や内部構造を変更せずに使用することができるため、半導体装置の新規開発や大幅な設計変更を省略することができ、ワン・チップ・パッケージと同等の新製品の開発期間や諸費用を大幅に低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態である半導体装置を示しており、(a)は一部省略一部切断平面図、(b)は(a)のb-b線に沿う正面断面図、(c)は(a)のc-c線に沿う正面断面図である。

【図2】(a)および(b)は小チップを示す一部切断正面図および一部省略底面図である。(c)および

(d)は大チップを示す一部切断正面図および一部省略底面図である。

【図3】本発明の一実施形態である半導体装置の製造方法に使用される配線基板を示しており、(a)は一部切断正面図、(b)は上半分が平面図で、下半分が底面図である。

【図4】同じく補助枠を示しており、(a)は一部切断正面図、(b)は上半分が平面図で、下半分が底面図である。

【図5】本発明の一実施形態である半導体装置の製造方法における小チップ接続工程を示しており、(a)は接続時の一部切断正面図、(b)は接続後の一部切断正面

(6)

9

図である。

【図6】同じく補助棒接統工程を示しており、(a)は接統時の一部切断正面図、(b)は接統後の一部切断正面図である。

【図7】同じく大チップ接統工程を示しており、(a)は接統時の一部切断正面図、(b)は接統後の一部切断正面図である。

【図8】本発明の実施形態2である半導体装置を示しており、(a)は一部省略一部切断平面図、(b)は(a)のb-b線に沿う正面断面図、(c)は(a)のc-c線に沿う正面断面図である。

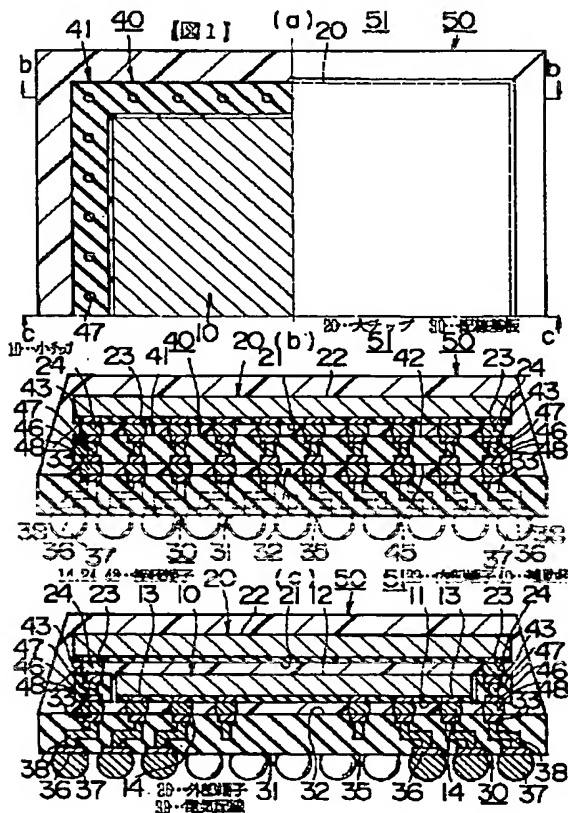
【符号の説明】

10…小チップ（半導体チップ）、11…第1主面、1

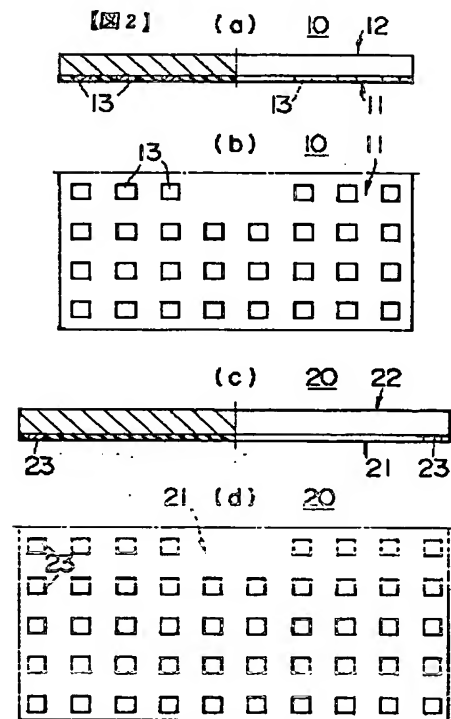
10

2…第2主面、13…電極パッド、14…接統端子、20…大チップ（半導体チップ）、21…第1主面、22…第2主面、23…電極パッド、24…接統端子、25…背の高い接統端子、30…配線基板、31…基板本体、32…第1主面、33…内部端子、34…内部端子用バンプ（内バンプ）、35…第2主面、36…外部端子、37…外部端子用バンプ（外バンプ）、38…電気配線、40…補助棒、41…棒本体、42…第1主面、43…チップ側端子、44…棒バンプ、45…第2主面、46…基板側端子、47…電気配線、48…接統端子、50…樹脂封止体、51…MCM・IC（半導体装置）。

【図1】

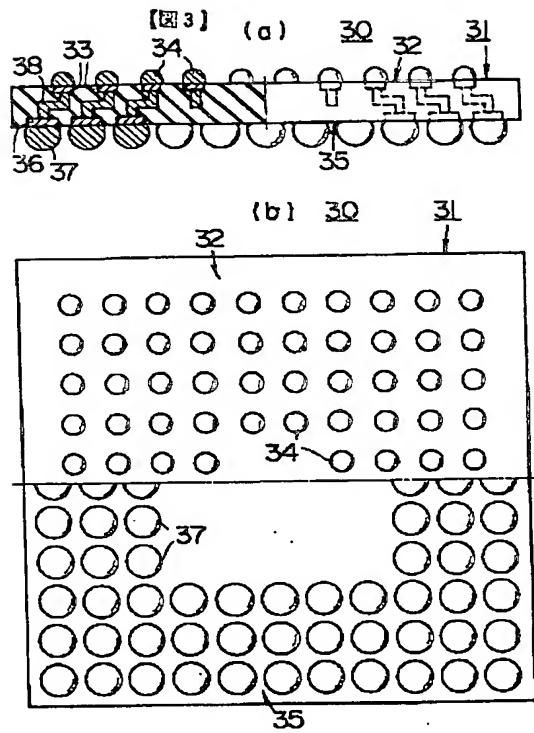


【図2】

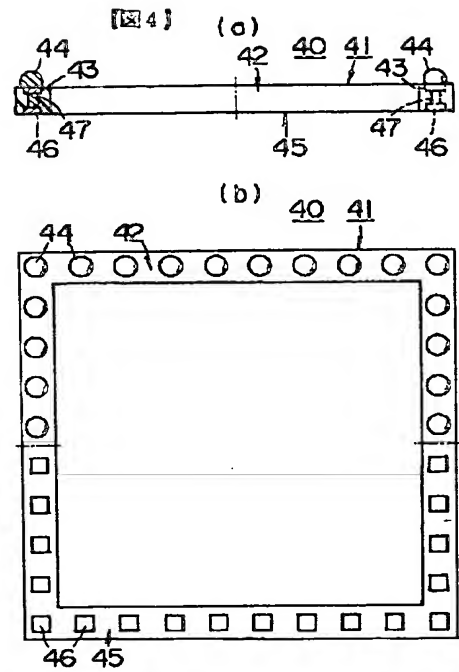


(7)

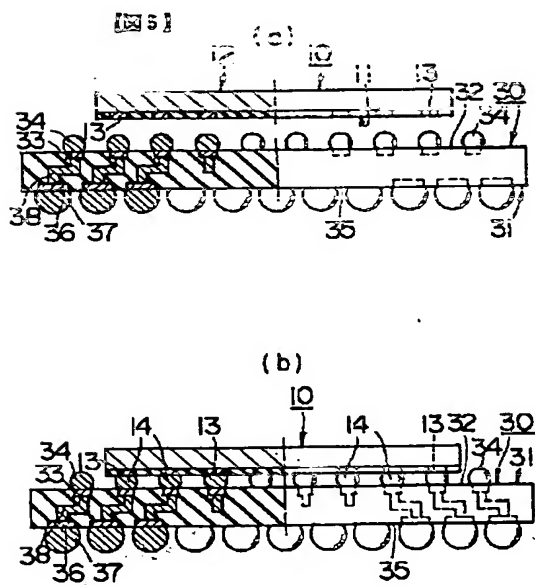
【図3】



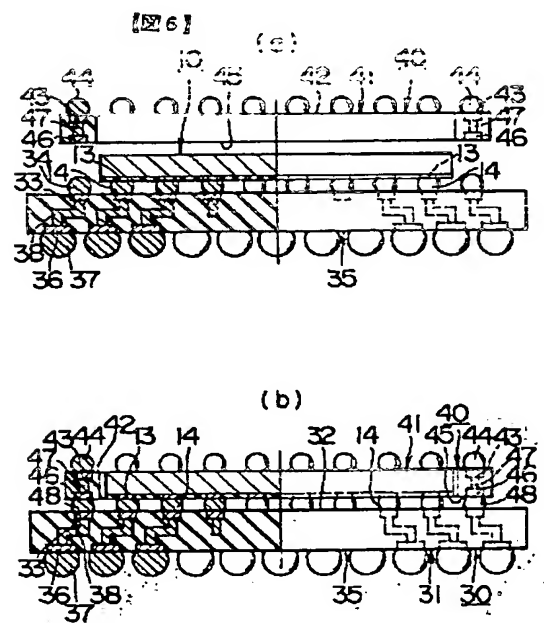
【図4】



【図5】

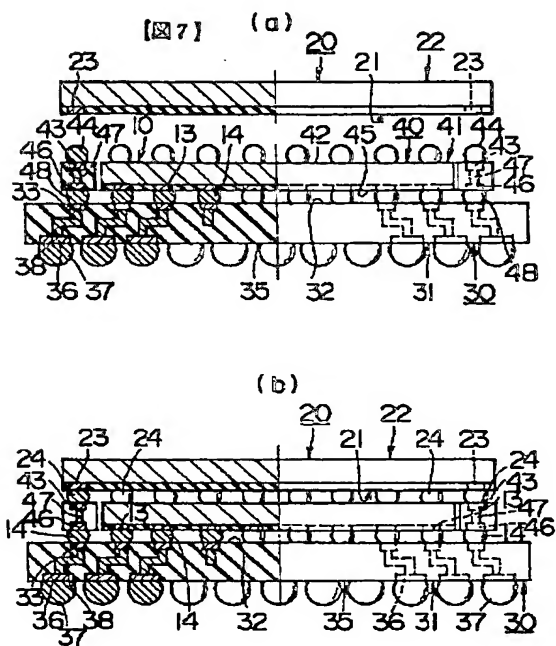


【図6】

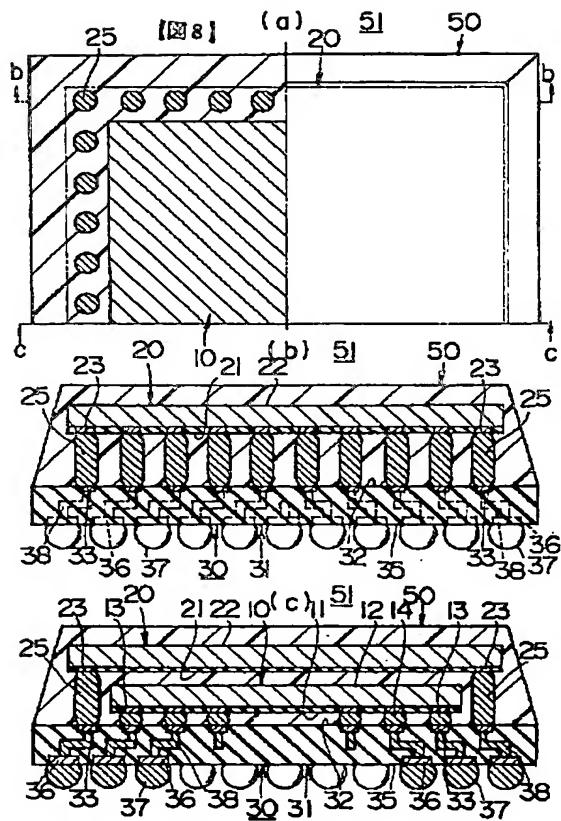


(8)

【図7】



【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.